

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 04-326140
 (43)Date of publication of application : 16.11.1992

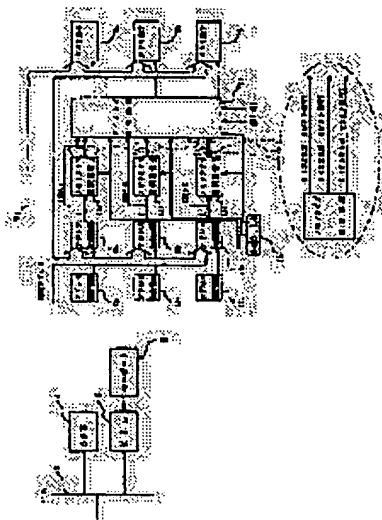
(51)Int.CI. G06F 12/06
 G06F 12/00

(21)Application number : 03-096528 (71)Applicant : TOSHIBA CORP
 (22)Date of filing : 26.04.1991 (72)Inventor : TANAKA KAZUTOYO

(54) MEMORY CONTROLLER

(57)Abstract:

-PURPOSE: To change the kind of a memory to be used according to the purpose by providing a timing generating means which outputs a control signal corresponding to a storage element connected according to information held in a storage kind holding means.
 CONSTITUTION: When the DRAM fitted to the memory element 5a is replaced with an SRAM, a maximum address and a minimum address are inputted on a keyboard 3 so as to assign the memory matching the storage capacity of the SRAM. The input data are held in registers in an address specification device 11a from a data bus through a CPU 1. Further, a memory type is inputted on the keyboard 3 and its data is held in the high-order two-bit registers of a memory type register 14 from the data bus through the CPU 1. The values of the above registers are only changed and then a signal for the SRAM is outputted by a timing generation device 15 when the memory element 5a is accessed, thereby controlling the memory element 5a.



LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

Copyright (C); 1998,2003 Japan Patent Office

(19)日本国特許庁 (JP)

(12) 公開特許公報 (A)

(11)特許出願公開番号

特開平4-326140

(43)公開日 平成4年(1992)11月16日

(51)Int.Cl.⁵

G 06 F 12/06
12/00

識別記号

序内整理番号
520
561

F I

技術表示箇所

審査請求 未請求 請求項の数2(全7頁)

(21)出願番号

特願平3-96528

(22)出願日

平成3年(1991)4月26日

(71)出願人 000003078

株式会社東芝

神奈川県川崎市幸区堀川町72番地

(72)発明者 田中 和豊

東京都青梅市末広町2丁目9番地 株式会
社東芝青梅工場内

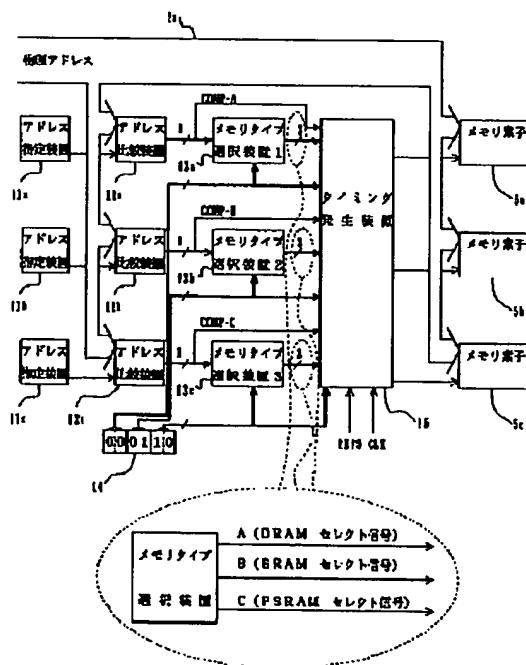
(74)代理人 弁理士 則近 廉佑

(54)【発明の名称】 メモリ制御装置

(57)【要約】

【構成】 本発明のメモリ制御装置は、接続される記憶素子の種類を表わす情報により、制御信号を出力するタイミング発生手段を具備する。

【効果】 このことにより、使用用途に応じて使用するメモリの種類を変えても、新たにメモリ制御装置を開発することが不要になる。また、ユーザは、必要に応じてメモリの種類を変えることができる。



(2)

特開平4-326140

1

2

【特許請求の範囲】

【請求項1】 制御信号が異なる複数種類の記憶素子を制御するメモリ制御装置であって、接続される記憶素子の種類を表わす情報を保持する記憶種類保持手段と、前記記憶種類保持手段が保持している情報に基いて、前記接続される記憶素子に対応する制御信号を出力するタイミング発生手段とを具備することを特徴とするメモリ制御装置。

【請求項2】 請求項1のメモリ制御装置において、前記記憶種類保持手段に保持されている情報を参照し、この情報がリフレッシュを必要とする記憶素子を示す場合、前記リフレッシュを必要とする記憶素子に対しリフレッシュ制御するリフレッシュ制御手段を具備することを特徴とするメモリ制御装置。

【発明の詳細な説明】

【発明の目的】

【0001】

【産業上の利用分野】 本願発明は、例えばパーソナルコンピュータに用いられるメモリ制御装置に関する。

【0002】

【従来の技術】 近年、記憶手段として使われている半導体メモリ素子には、スタティックRAM(以下、SRAMとする)、ダイナミックRAM(以下、DRAMとする)、疑似スタティックRAM(以下、PSRAMとする)、読み出し専用メモリ(ROM)など、それぞれメモリ制御信号の違うメモリタイプがある。そのため、メモリタイプに応じたメモリ制御装置が必要となり、新製品開発の度に、搭載するメモリタイプに対しメモリ制御装置を設計し直していた。また、ユーザがメモリ領域を拡張するには、予め定められたメモリタイプしか接続できないという制限もあった。

【0003】

【発明が解決しようとする課題】 従来のパーソナルコンピュータのメモリ制御装置は、メモリタイプの相違により制御信号が異なるため、設計の段階でパーソナルコンピュータに搭載されるメモリタイプを一義的に決定していた。そのため、メモリ制御装置は冗長性、拡張性に欠け、新たなパーソナルコンピュータを開発する度に設計し直す必要があった。また、ユーザがメモリ領域を拡張するには、そのパーソナルコンピュータに決められたメモリタイプのみで、拡張性の乏しいものであった。本願発明は、以上の点を鑑みなされたもので、使用されるメモリの種類によらずに制御できるメモリ制御装置を提供することを目的とする。

【発明の構成】

【0004】

【課題を解決するための手段】 第1の本願発明においては、データを記憶する記憶素子は、制御される信号の違いにより種類分けされるものであり、記憶手段に使われている記憶素子の種類を表わす情報を保持する記憶種類

保持手段と、前記記憶素子にアクセスがあると、前記記憶種類保持手段が保持している情報を受け、前記記憶素子の種類に対応する制御信号を山力するタイミング発生手段とを具備したものである。

【0005】 また、第2の本願発明は第1の本願発明のメモリ制御装置において、前記記憶素子にリフレッシュが必要な記憶素子を使用した場合、リフレッシュが必要な記憶素子を選択し、リフレッシュを行わせる信号を出力するリフレッシュ制御手段を具備したものである。

【0006】

【作用】 第1の本願発明において、記憶素子はデータを保持するもので、制御される信号の違いによりDRAM、SRAM、PSRAMなどに種類分けされる。記憶種類保持手段は記憶手段に使われている記憶素子の種類を表わす情報を保持する。前記記憶種類保持手段はCPU等から前記記憶素子にアクセスされると、保持している前記記憶素子の種類を表わす情報をタイミング発生手段に送る。前記タイミング発生手段は受けとった情報に基づき、使用している記憶手段用の制御信号を記憶手段に送る。

【0007】 このことにより、使用用途に応じて使用するメモリの種類を変えることができ、パーソナルコンピュータの開発ごとに、新たにメモリ制御装置を開発することが不要になる。また、ユーザは、必要に応じてメモリの種類を変えることができる。

【0008】 さらに、第2の本願発明は第1の本願発明のメモリ制御装置において、前記記憶素子には、リフレッシュ動作を行わせる信号の必要な記憶素子がある。リフレッシュ制御手段は、記憶手段にリフレッシュ動作を行わせる信号の必要な記憶素子を使用した場合、その記憶素子に対し、その記憶素子にリフレッシュを行わせる信号を出力する。このことにより、外部よりリフレッシュを行わせる命令を必要とする記憶素子も使用することができる。

【0009】

【実施例】 以下に、本願発明についての実施例を示す。図1は、本実施例に関わる電子機器の全体を示すシステム構成図である。CPU1は、本システムの全体を司り、メモリ5へデータの書き込み、読み出しを行なうためにアドレスを指定したり、表示制御装置6へ表示命令を出力するなどの制御を行なう。キーボード3は、ユーザがデータを入力する手段である。KBC2は、キーボードコントローラであり、キーボード3からキーデータ入力された場合、その入力されたキーに対応するキーコードをCPU1へ送る。メモリ5は、BIOS、OS、アプリケーションソフトなどを保持している。メモリ制御装置4は、メモリ5からのデータの読み出し、及び、メモリ5へのデータの書き込みのタイミング制御を行なう。表示制御装置6は、CPU1から表示命令を受け、表示装置7に表示を行なうよう制御する。表示装置7

は、表示制御装置6の制御により画面表示を行なう。DMA8は、Direct Memory Accessのことであり、CPU1を介さずに直接データを転送する装置である。DMA8がデータを転送しているときは、CPU1はメモリへアクセスできない。バス9は、CPU1、KBC2、メモリ制御装置4、メモリ5、表示制御装置6とを接続し、各装置間で信号を制御するための信号線である。第2図は、本願発明のメモリ制御装置4の構成を示す図である。

【0010】物理アドレスバス3aは、バス3のうち、物理アドレス信号を伝達する信号線である。CPU1から送られた論理アドレス信号をアドレス変換装置(図示しない)で物理アドレス信号に変換し、メモリ素子5a、5b、5c、アドレス比較装置12a、12b、12cへ入力する。

【0011】前記メモリ5は、メモリ素子5a、5b、5cから成る。各メモリ素子5a、5b、5cは、dRAM、SRAM、PSRAM、ROMなどの半導体メモリ素子の種類(以下、メモリタイプ)のうち1種類の半導体メモリ素子からなるものである。各メモリ素子は、取り外しが可能で、メモリタイプあるいは容量の異なるメモリ素子に取り替えることができる。

【0012】アドレス指定装置11aは、メモリ素子5aにアドレスを割り当てるための装置である。ユーザはキーボード3からメモリ素子に割り当てるアドレス範囲の最小アドレスと最大アドレスを入力する。CPU1は、これらのアドレスをデータバス(図示しない)を介し、アドレス指定装置11aに送る。アドレス指定装置11aは内部に2つのレジスタを持っており、1のレジスタでメモリ素子5aに割り当てる最小アドレスを、2のレジスタでメモリ素子5aに割り当てる最大アドレスを保持する。アドレス指定装置11aは、2つのレジスタで保持した情報をアドレス比較装置12aへ送る。アドレス指定装置11b、11cに関しても、アドレス指定装置11aと同じ機能を持ち、割り当てられた最大アドレスと最小アドレスを保持し、その情報をそれぞれアドレス比較装置12b、12cへ送る。

【0013】アドレス比較装置12aは、アドレス指定装置11aから送られた最小アドレス、最大アドレスの信号と、CPU1が現在アクセスしている物理アドレス信号を受けとる。アドレス比較装置12aは、CPU1から送られるコントロール信号により、アドレスの取り込みタイミングを制御される。アドレス比較装置12aは、受けとった信号をデコードし、CPU1から送られた物理アドレスがアドレス指定装置11aで指定されたアドレス範囲内にあることを検知すると、コンペアA信号(以下、COMP-A)をハイレベル信号「H」にし、一定期間出力する。アドレス比較装置12b、12cに関しても同様の機能を持ち、出力信号をコンペアB信号(以下、COMP-B)、及びコンペアC信号(以

下、COMP-C)と呼ぶこととする。

【0014】メモリタイプレジスタ14は、メモリ素子5a、5b、5cのメモリタイプに対応した情報を保持するレジスタである。メモリタイプレジスタ14は、6ビットで構成され、1つのメモリ素子に対し2ビットの情報でそのメモリ素子のメモリタイプを表す。メモリタイプを表す2ビットの情報は、予め定義しておく。本実施例では、「00」でdRAM、「01」でSRAM、「10」でPSRAMを表すように定義している。

メモリタイプレジスタ14に保持されている6ビットの情報の上位2ビットはメモリ素子5a、次の2ビットはメモリ素子5b、下位2ビットはメモリ素子5cのメモリタイプ情報を示す。メモリタイプレジスタ14は、各情報をそれぞれのメモリタイプ選択装置13a、13b、13cへ送る。

【0015】メモリタイプ選択装置13aは、入力側にCOMP-A信号を送る信号線とメモリタイプレジスタ14からメモリタイプ情報を送られる2ビットの信号線を、出力側にdRAMセレクト信号線(以下、A信号線)、SRAMセレクト信号線(以下、B信号線)、PSRAMセレクト信号線(以下、C信号線)の計3ビットの信号線が接続されている。また、A信号線で送られる信号は、dRAMセレクト信号(以下、A信号)、B信号線で送られる信号は、SRAMセレクト信号(以下、B信号)、C信号線で送られる信号は、PSRAMセレクト信号(以下、C信号)とする。メモリタイプ選択装置13aは、COMP-Aがハイレベル信号「H」になるのを受けると、メモリタイプレジスタ14から送られた2ビットの信号をデコードし、メモリタイプレジスタ14の内容が「00」ならA信号線、「01」ならB信号線に、「10」ならC信号線にハイレベル信号「H」を一定期間出力する。メモリタイプ選択装置13b、13cに関しても、メモリタイプ選択装置13aと同様な機能を持つ。

【0016】タイミング発生装置15は、メモリタイプ選択装置13a、13b、13cから送られたセレクト信号、アドレス比較装置12a、12b、12cから送られたコンペア信号、DMA8から送られたREFS信号、CPU1から送られたCLK信号、メモリタイプレジスタ14から各メモリ素子5a、5b、5cのメモリタイプの信号を受けとり、現在アクセスされている半導体メモリ素子に制御信号を送る。タイミング発生装置15の内部を図3に示し、詳細な説明を行う。

【0017】dRAM用信号発生器21a、SRAM用信号発生器21b、PSRAM用信号発生器21cは、CPU1から送られてきたCLK信号を用いて、dRAM、SRAM、PSRAMを制御するための制御信号をそれぞれ発生する。dRAM用信号発生器21aは、RAS信号、CAS信号、W(ライト)信号を生成し、発生させる。SRAM用信号発生器21b、PSRAM用

信号発生器 21c は、CE (チップ・セレクト) 信号、OE (アウトプット・イネーブル) 信号、R/W (リード・ライト) 信号を生成し、発生させる。また、メモリタイプ選択装置 13a、13b、13c から送られる 3 ビットの出力信号線を A 信号線、B 信号線、C 信号線ごとに、オア回路 22 を介し、マルチブレクサ 23 へ送る。

【0018】マルチブレクサ 23 は A 信号のオア回路 22 の出力がハイレベル信号「H」なら、dRAM 用信号発生器 21a から発生された dRAM 用の信号を、B 信号のオア回路 22 の出力がハイレベル信号「H」なら、SRAM 用信号発生器 21b から発生された SRAM 用の信号を、C 信号のオア回路 22 の出力がハイレベル信号「H」なら、PSRAM 用信号発生器 21c から発生された PSRAM 用の信号を出力する。但し、メモリ素子 5 へのアクセスは、同時に 1 つしか行われないため、3 つのオア回路 22 からの出力が同時に 2 つ以上ハイレベル信号「H」になることはない。このため、マルチブレクサ 23 は、メモリ素子 5 にアクセスがあると、必ず 1 つの信号発生器からの信号を出力することになる。マルチブレクサ 23 から送られる信号のうち、RAS 信号と C 信号は、同一の信号線 (RAS/CE) を介して送られ、この信号を RAST 信号とする。CAS 信号と OE 信号は、同一の信号線 (CAS/OE) を介して送られ、この信号を CAST 信号とする。R/W 信号と W 信号は、同一の信号線 (READ/WRITE) を介して送られ、この信号を RDWR 信号と呼ぶこととする。

【0019】ところで、dRAM はメモリリフレッシュ動作が必要な半導体メモリ素子である。そのため、メモリ素子に dRAM を使用する場合、リフレッシュさせるための信号を与える必要がある。本実施例では、dRAM メモリリフレッシュの方法の一つである CAS Before RAS Refresh で dRAM リフレッシュを行っている。この方法は、CAS 信号が RAS 信号より早くローレベル「L」に立ち下がり、その後、RAS 信号が立ち下がってから一定期間、CAS 信号がローレベル「L」状態が続いた時、dRAM はリフレッシュ状態に入る。この方法は dRAM 内部でリフレッシュ用のアドレスが指定されるので、外部でアドレス指定する必要がない。

【0020】Ref 信号タイミング装置 24a はメモリ素子 5a に、Ref 信号タイミング装置 24b はメモリ素子 5b に、Ref 信号タイミング装置 24c はメモリ素子 5c に対し、リフレッシュタイミング用の信号を送るものである。Ref 信号タイミング装置 24a、24b、24c は、REFS 信号と各々に対応するメモリタイプレジスタ 14 から出力されるメモリタイプの信号を受け、その信号が「00」なら、REFS 信号をリフレッシュ用の CAS 信号 (REFC-A、B、C 信号) に変換し出力する。また、REFC-A、B、C にディレイを介することにより、リフレッシュ用の RAS 信号

（REFR-A、B、C 信号）を作る。これにより、リフレッシュ信号を与える。

【0021】図 4 は、タイミング発生装置の一部を示し、図 3 に示す出力信号により、各メモリ素子を制御するための回路構成を示す図である。図 5 は、CPU からメモリにアクセスがあった場合 (リード・ライト・サイクル) と、アクセスがない場合 (リフレッシュ・サイクル) のタイミング発生装置 15 内の各種信号のタイミングチャートである。この図では、メモリアクセスはメモリ素子 5a に、タイミング発生装置 15 からは dRAM 用の信号が発生されたとする。

【0022】メモリ素子 5a にアクセスがあったのでアドレス比較装置 12a、12b、12c のうち、COMP-A にのみ一定期間ハイレベル「H」が送られている (52)。dRAM 用の信号は、RAST 信号線に RAS 信号 (53) を、CAST 信号線に CAS (54) 信号を出力する。出力された RAS 信号、CAS 信号は反転され、それぞれの AND ゲート 31 に入力される。COMP-B、C を入力する AND ゲート 31 は、ローレベル信号「L」を受けとっているので、ローレベル信号「L」を出力することになる。COMP-A を入力する AND ゲート 31 は、ハイレベル信号「H」を受け取っているため、RAST 信号の反転信号がハイレベル「H」になると、ハイレベル「H」を出力する (60)。OR ゲート 32 はメモリにアクセスがある場合、REFR-A、B、C から常にハイレベル信号「H」 (56) を受けるので、OR ゲート 32 の出力は、AND ゲート 31 からの出力と同じになる。この OR ゲート 32 の出力信号を反転する (61) とタイミング装置 15 から発生した信号と同一の信号が得られる。このことにより、メモリ素子 5a にのみ、メモリアクセス用の制御信号を送ることができる。他のメモリ素子にアクセスがあっても、同様な処理が行なわれる。

【0023】次に、メモリ素子にアクセスがないとき (リフレッシュ・サイクル) は COMP-A、B、C は全てローレベル信号「L」 (52) になるので AND ゲートからは全て、ローレベル信号「L」 (57、59) が送られる。そのため、REFR-A、B、C からの信号、REFC-A、B、C からの信号がそのままメモリ素子に制御信号として入力される。本実施例でリフレッシュ制御信号は、REFR-A、REFC-A に対してのみ、リフレッシュ用の CAS 信号、RAS 信号が発せられるため、メモリ素子 5a にのみリフレッシュ用の信号が送られる。このようにして、リフレッシュが行われる。次に、メモリ素子のタイプをを取り替えた場合について示す。

【0024】メモリ素子 5a に取り付けられている dRAM を SRAM に取り替えた場合、先ず、取り替えた SRAM の記憶容量に合わせメモリを割り付けるため、キーボード 3 により最小アドレス、最大アドレスを入力す

る。この入力データは、CPU1を介しデータバスよりアドレス指定装置11a内のレジスタに保持される。また、キーボード3によりメモリタイプを人力し（この場合「01」）、このデータがCPU1を介し、データバス（図示しない）よりメモリタイプレジスタ14の上位2ビットのレジスタに保持される。以上のレジスタの値を変更するだけで、メモリ素子5aにアクセスがあった場合、タイミング発生装置15からSRAM用の信号（CE、OE、W/R）が出力されメモリ素子5aを制御することができる。また、メモリタイプレジスタ14の保持情報がSRAMを示しているので、リフレッシュタイミング制御装置は、ハイレベルを出力したままになり、この信号は意味を持たない。

【0025】PSRAMに変えた場合でも、アドレス指定装置11a、メモリタイプレジスタ14に、使用するメモリの情報を入力するだけで異なる容量、タイプのメモリを制御できる。

【0026】なお、本実施例では、東芝製dRAM TC514256、東芝製SRAM TC551001、東芝製PSRAM TC518128をメモリ素子の対象としているが、タイミング発生装置15内にいろいろなメモリタイプ用の信号発生器を設定し、マルチブレクサで選択させるような回路変更を行い、メモリ素子のコネクタに対応するインターフェイスを使うことにより、もっと多様なメモリタイプに対応できる。

【0027】以上により、メモリタイプの異なる記憶素子を取り替えたり、記憶素子を増設したりするために、設計し直す必要がなくなり、また、ユーザが使用用途に応じ、リフレッシュ動作の必要な記憶素子でも、容易に記憶素子を変えたりすることができる。

【0028】

【発明の効果】第1の本願発明のメモリ制御装置により、使用用途に応じて使用するメモリの種類を変えることができる。また、第2の本願発明により、さらに、外部よりリフレッシュを行わせる命令を必要とする記憶素

子にも対応できる。

【図面の簡単な説明】

【図1】 本実施例に係る電子機器の全体を示すシステム構成図である。

【図2】 本願発明のメモリ制御装置内の構成を示す図である。

【図3】 タイミング発生装置15の前半の処理部分を、詳細に示した図である。

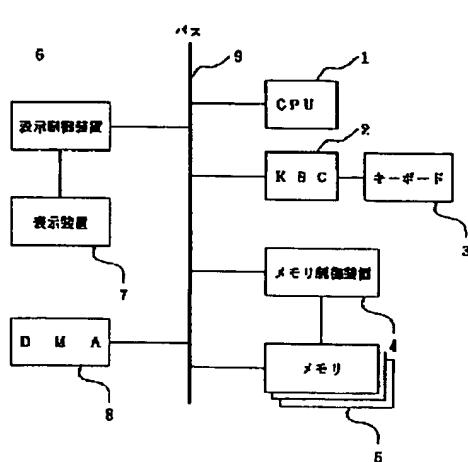
【図4】 タイミング発生装置の後半の処理部分であり、第3図からの信号を引継ぎ、各メモリ素子を制御するため信号を変換するための回路を示した図である。

【図5】 メモリアクセスがメモリ素子5aに、タイミング発生装置15からdRAM用の信号が発生されたときのタイミングチャートである。

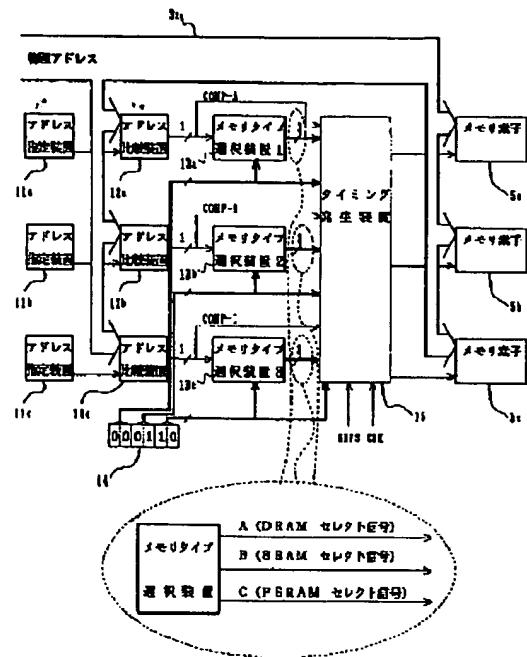
【符号の説明】

1	CPU
2	KBC
3	キーボード
4	メモリ制御装置
5	メモリ
5a, 5b, 5c	メモリ素子
6	表示制御装置
7	表示装置
8	Direct Memory Access
9	バス
11a, 11b, 11c	アドレス指定装置
12a, 12b, 12c	アドレス比較装置
13a, 13b, 13c	メモリタイプ選択装置
14	メモリタイプレジスタ
15	タイミング発生装置
21a	dRAM用信号発生器
21b	SRAM用信号発生器
21c	PSRAM用信号発生器
23	マルチブレクサ
24a, 24b, 24c	Ref信号タイミング装置

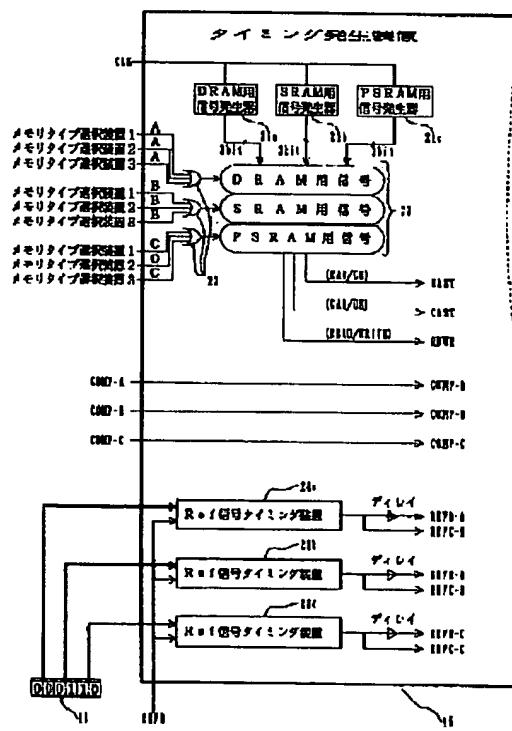
[图 1]



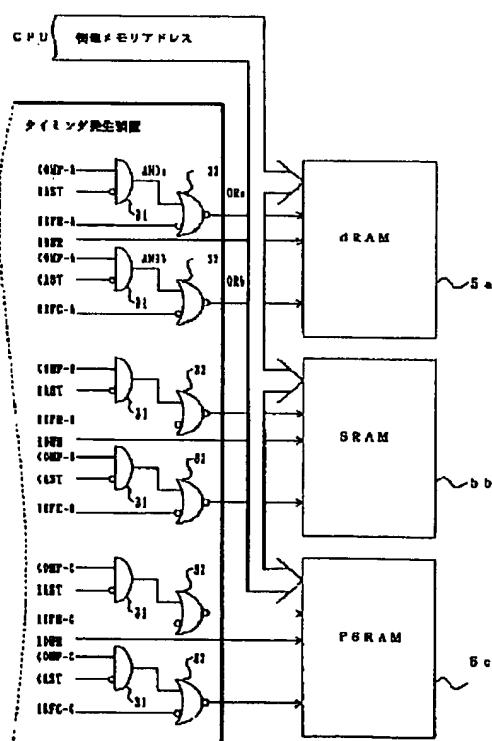
[图2]



[图3]



[図4]



【図5】

